

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## SEMICONDUCTOR DEVICE

Patent Number: JP2001068583  
Publication date: 2001-03-16  
Inventor(s): TANAHASHI SHIGEO  
Applicant(s):: KYOCERA CORP  
Requested Patent: JP2001068583 (JP01068583)

Application Number: JP19990242632 19990830

Priority Number(s):

IPC Classification: H01L23/12

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To supply stable power and ground potential to a semiconductor integrated circuit element with low resistance and inductance by a decoupling capacitor.

**SOLUTION:** This semiconductor device is provided with an insulation substrate 1, that has a recess 1a for accommodating a capacitor 4 on an upper surface, while a wiring conductor 2 is formed around the opening of the recess 1a and at the same time a power supply terminal 3 is formed on the bottom surface of the recess 1a, a capacitor 4 that is accommodated in the recessed part 1a, while one terminal electrode is connected to the power supply terminal 3, and a semiconductor integrated circuit element 8 that is fitted onto an insulation substrate 1 so that the opening of the recess 1a is covered, while a power supply electrode is electrically connected to the other terminal electrode of the capacitor 4, and a signal electrode is connected electrically to the wiring conductor 2 of the insulation substrate 1. The decoupling capacitor 4 can be arranged extremely close to a semiconductor integrated circuit element 6, and at the same time, the resistance and inductance of the connection part of both of them can be minimized.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-68583

(P2001-68583A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 23/12

識別記号

F I

テマコト<sup>\*</sup>(参考)

H 0 1 L 23/12

B

審査請求 未請求 請求項の数1 O.L (全5頁)

(21)出願番号 特願平11-242632

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町6番地

(22)出願日 平成11年8月30日(1999.8.30)

(72)発明者 棚橋 成夫

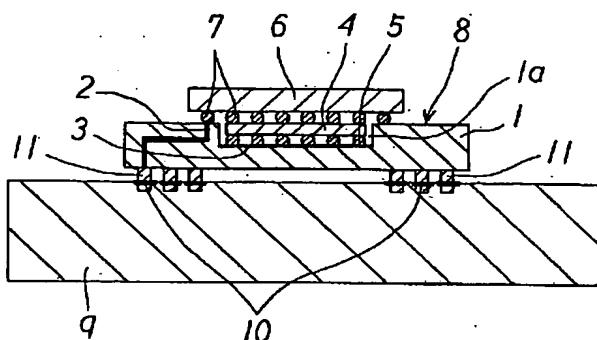
京都府相楽郡精華町光台3丁目5番地 京  
セラ株式会社中央研究所内

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 デカップリングコンデンサにより、半導体集積回路素子に低抵抗かつ低インダクタンスで安定した電源供給およびグランド電位の供給を行なう。

【解決手段】 上面にコンデンサ4を収容する凹部1aを有し、凹部1aの開口周辺に配線導体2が形成されるとともに凹部1aの底面に電源供給端子3が形成された絶縁基体1と、凹部1a内に収容され、電源供給端子3に一方の端子電極が接続されたコンデンサ4と、絶縁基体1上に凹部1aの開口を覆うように取着され、電源電極がコンデンサ4の他方の端子電極に、信号電極が絶縁基体1の配線導体2にそれぞれ電気的に接続された半導体集積回路素子8とを具備する半導体装置8である。デカップリングコンデンサ4を半導体集積回路素子6の直近に極めて近接して配置させることができ、両者の接続部の抵抗やインダクタンスを最小にすることができます。



## 【特許請求の範囲】

【請求項1】 上面にコンデンサを収容する凹部を有し、該凹部の開口周辺に配線導体が形成されるとともに前記凹部の底面に電源供給端子が形成された絶縁基体と、前記凹部内に収容され、前記電源供給端子に一方の端子電極が電気的に接続されたコンデンサと、前記絶縁基体上に前記凹部の開口を覆うように取着され、電源電極が前記コンデンサの他方の端子電極に、信号電極が前記配線導体にそれぞれ電気的に接続された半導体集積回路素子とを具備することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はコンピュータ等の情報処理装置に使用される半導体集積回路素子を実装して成る半導体装置に関し、より詳細には、半導体集積回路素子の極めて近傍に電源供給用のデカップリングコンデンサを配置して、半導体集積回路素子を容易かつ安定に高速動作させることができる半導体装置に関するものである。

## 【0002】

【従来の技術】 従来より、半導体集積回路素子を高速かつ安定して動作させる目的で、半導体集積回路素子への電源供給および電源ノイズ抑制のためのいわゆるデカップリングコンデンサを半導体集積回路素子の近傍に配置し、素子に対する電源電位およびグランド電位を安定させることができることが検討されている。

【0003】 例えば、半導体装置を構成する半導体素子収納用パッケージに半導体集積回路素子を実装する目的で形成された凹部、いわゆるキャビティ部の底面に半導体集積回路素子の裏面を金・シリコン等からなる合金ろう材で接合し、この半導体集積回路素子の表面外周部に設けられた信号および電源接続用の端子電極と、半導体素子収納用パッケージのキャビティ部外側に設けられ、配線導体に接続された端子電極とを金やアルミニウム等から成る細線によってワイヤボンディング接続する場合であれば、この半導体集積回路素子に接続されるデカップリングコンデンサは、例えばチップコンデンサを用いて、この半導体素子収納用パッケージが実装される回路基板上に、あるいは半導体素子収納用パッケージの表面の外周部に実装される。

【0004】 しかしながら、半導体集積回路素子の高速化に伴い、デカップリングコンデンサが半導体素子収納用パッケージの外側に配置された場合は、このデカップリングコンデンサと半導体集積回路素子との距離が長くなるため、その電気的接続を行なうための配線が有する抵抗やインダクタンスにより安定した電源供給あるいはグランド電位の供給が困難となる。そのため、デカップリングコンデンサを半導体集積回路素子の近傍に配置する目的で、例えば、半導体素子収納用パッケージをセラミック積層技術により形成し、誘電体層間に積層された

電源配線およびグランド配線を面状に形成することによりそれらの間で容量を形成することによって、半導体素子収納用パッケージ内部にデカップリングコンデンサを形成することが行なわれてきた。

【0005】 また、有機多層技術を用いた半導体素子収納用パッケージの場合であれば、有機樹脂の誘電率が低いことから、セラミック多層技術による場合のように誘電体層を利用してパッケージ内部にデカップリングコンデンサを形成することが困難であるため、半導体集積回路素子が実装された部位の外周部にデカップリングコンデンサとしてのチップコンデンサを実装することが行なわれてきた。

## 【0006】

【発明が解決しようとする課題】 しかしながら、近年、半導体集積回路素子の動作が更に高速になったことから、半導体集積回路素子を半導体素子収納用パッケージに搭載してワイヤボンディング接続と、金属細線のインダクタンスの影響が無視できなくなって電源およびグランドの電位を安定して供給することが困難となった。

【0007】 そこで、ワイヤボンディング接続に代わって、半導体集積回路素子の端子電極上に半田ボール等の導体パンプを形成し、これを用いて半導体素子収納用パッケージや配線基板上の接続電極に直接搭載し接続する、いわゆるフリップチップ接続法が考案された。

【0008】 しかしながら、半導体集積回路素子をフリップチップ実装する場合は、半導体集積回路素子の表面に形成された端子電極とパッケージや配線基板側の接続電極とを対向させるため、この半導体集積回路素子に接続されるデカップリングコンデンサの配置は、実装される半導体集積回路素子の近傍の外周部に限定されることとなる。

【0009】 そして、この構成においても、半導体集積回路素子を更に高速で動作させる場合には、デカップリングコンデンサが半導体集積回路素子の近傍の外周部に配置されることから、デカップリングコンデンサからこれが接続される端子電極が形成された半導体集積回路素子の中心部までの配線の有する抵抗およびインダクタンスの影響が無視できないものとなるために半導体集積回路素子への電源およびグランド電位の安定した供給が困難となるという問題点があった。

【0010】 本発明は上記従来技術の問題点に鑑み案出されたものであり、その目的は、高速で動作する半導体集積回路素子に低抵抗かつ低インダクタンスで安定した電源供給およびグランド電位の供給を行なうことができる半導体装置を提供することにある。

## 【0011】

【課題を解決するための手段】 本発明者は、上記従来技術の問題点に対して種々の検討を行なった結果、半導体集積回路素子を中継基板である実装用配線基板上にフリップチップ接続により実装するとともに、この実装用配

線基板を搭載する絶縁基体上面の中央部に凹部を設けてこの凹部にデカップリングコンデンサを実装して収容し、この上に半導体集積回路素子を搭載実装してこの半導体集積回路素子とデカップリングコンデンサとを電気的に接続する構成とすることにより、半導体集積回路素子の極めて近傍にデカップリングコンデンサを配置して電源およびグランド電位の供給を極めて低抵抗かつ低インダクタンスで安定して行なえることを見出した。

【0012】本発明の半導体装置は、上面にコンデンサを収容する凹部を有し、この凹部の開口周辺に配線導体が形成されるとともに前記凹部の底面に電源供給端子が形成された絶縁基体と、前記凹部内に収容され、前記電源供給端子に一方の端子電極が電気的に接続されたコンデンサと、前記絶縁基体上に前記凹部の開口を覆うように取着され、電源電極が前記コンデンサの他方の端子電極に、信号電極が前記絶縁基体の配線導体にそれぞれ電気的に接続された半導体集積回路素子とを具備することを特徴とするものである。

【0013】本発明の半導体装置によれば、絶縁基体の凹部内に収容されたデカップリングコンデンサとしてのコンデンサに、凹部を覆うように絶縁基体に取着して半導体集積回路素子を搭載実装してその電源電極を直接に電気的に接続したことから、従来半導体集積回路素子の近傍の外周部等に配置されていたデカップリングコンデンサを半導体集積回路素子の直近に極めて近接して配置させることができ、半導体集積回路素子の電源電極とデカップリングコンデンサの端子電極との距離を最短に設定することができため、両者の接続部の抵抗やインダクタンスを最小にすることができる。その結果、高速で動作する半導体集積回路素子を安定して動作させるための素子への電源供給および電源ノイズ抑制を極めて効果的に安定して行なうことができる。

【0014】また、半導体集積回路素子を絶縁基体にその凹部を覆うように取着して信号電極を凹部の開口周辺に形成された配線導体に直接に電気的に接続したことから、半導体集積回路素子の電源電極とデカップリングコンデンサの端子電極との距離も最短に設定することができ、両者の接続部の抵抗やインダクタンスも最小にすることができる。その結果、高速で動作する半導体集積回路素子を安定して動作させることができるとともに、半導体装置の小型化も図ることができる。

【0015】

【発明の実施の形態】次に、本発明の半導体装置を添付図面に基づき詳細に説明する。

【0016】図1は本発明の半導体装置の実施の形態の一例を示す断面図である。同図において、1は絶縁基体、1aは例えばその上面中央部に形成された凹部、2は凹部1aの開口周辺に形成された配線導体、3は凹部1aの底面に形成された電源供給端子である。なお、配線導体2については代表的なもの以外は図示を省略して

ある。

【0017】4は凹部1a内に収容され、電源供給端子3に一方の端子電極が電気的に接続された、デカップリングコンデンサとしてのコンデンサ、5はコンデンサ4の一方の端子電極と電源供給端子3とを電気的に接続する導体バンプ、例えば半田バンプである。

【0018】6は半導体集積回路素子であり、絶縁基体1上に凹部1aの開口を覆うように取着されて絶縁基板1上に搭載されている。そして、半導体集積回路素子6の電源電極はコンデンサ4の他方の端子電極に、また半導体集積回路素子6の信号電極は配線導体2にそれぞれ導体バンプ7等の導電性接続部材を介して電気的に接続される。このようにして本発明の半導体装置8が構成されている。

【0019】なお、9は半導体装置8が実装される外部電気回路基板、10はその上面に形成された接続用導体、11は半導体装置8の実装用電極と接続用導体10とを電気的に接続する半田等の導電性接続部材である。

【0020】また、図2は本発明の半導体装置の実施の形態の他の例を示す、図1と同様の断面図である。図2に示す例の半導体装置8'においては、コンデンサ4と電源供給端子3とを電気的に接続する導体バンプ5に代えて、導電性接着剤または半田等の接続用金属から成る導体層5'を用いている。

【0021】これらの例において、絶縁基体1は、酸化アルミニウム質焼結体や窒化アルミニウム質焼結体・ムライト質焼結体・炭化珪素質焼結体・窒化珪素質焼結体・ガラスセラミックス等のセラミック材料、もしくはエポキシ・B Tレジン・ポリイミド・ベンゾシクロブテン・ポリノルボルネン・フッ素樹脂等の高分子絶縁材料、あるいはセラミック材料から成る無機絶縁物粉末を熱硬化性の高分子絶縁材料で結合して成る複合絶縁材料等から成る、例えば略四角形状の平板状のものである。また、セラミック材料から成る基体の上に高分子絶縁材料から成る層間絶縁層と配線導体とを積層した多層配線部を形成したものであってもよい。その上面中央部には、コンデンサ4を搭載するための凹部1aが形成してある。さらに、その凹部1aの開口周辺には信号伝送用あるいは接地接続用の配線導体2が形成されており、この開口周辺は半導体集積回路素子6を搭載するための搭載部となっている。

【0022】配線導体2は、例えばタンゲステンやモリブデン・モリブデン-マンガン・銅・銀・銀-パラジウム等からなる電気配線用導電体であり、絶縁基体1上面の凹部1aの開口周辺から例えば絶縁基体1下面にかけて、金属粉末メタライズ等により複数の配線導体2が被着形成されている。

【0023】また、電源供給端子3は、絶縁基体1の凹部1aの底面に広面積に、あるいは接続パッド形状に配線導体2と同様の材料・方法により形成されており、外

部電気回路基板9等からの電源配線が接続されている。

【0024】絶縁基体1は、例えば酸化アルミニウム質焼結体から成る場合であれば、酸化アルミニウム・酸化珪素・酸化マグネシウム・酸化カルシウム等の原料粉末に適当な有機バインダ・溶剤・可塑剤・分散剤等を添加混合して泥漿状となすとともにこれを従来周知のドクターブレード法を採用してシート状となすことにより複数枚のセラミックグリーンシートを得て、しかる後、このセラミックグリーンシートに適当な打ち抜き加工を施すとともに配線導体2および電源供給端子3となる金属ペーストを印刷し、最後にこのセラミックグリーンシートを上下積層するとともに約1600℃の温度で焼成することによって作製される。

【0025】なお、配線導体2および電源供給端子3となる金属ペーストは、例えばこれらがタングステンメタライズから成る場合であれば、タングステン粉末に適当な有機バインダ・溶剤・可塑剤等を添加混合してペースト状としたものが用いられ、セラミックグリーンシートへの被着形成はスクリーン印刷法等を採用することによって行なわれる。

【0026】コンデンサ4としては、デカップリングコンデンサとして用いることができる特性を有するものであれば種々のものを用いることができる。例えば、チタン酸バリウム等から成るセラミック誘電体層とニッケル等から成る内部電極層とを交互に多層に積層して成る積層型チップコンデンサや、あるいはセラミック誘電体基板の表面に陽極化成によりタンタルやアルミ等の端子電極を形成したセラミックコンデンサを用いればよい。

【0027】また、そのようなコンデンサ4の上面には半導体集積回路素子6の電源電極に対応させた接続用の端子電極が、通常は多数形成されることとなる。例えば、積層型のコンデンサを構成する誘電体層および内部電極層が絶縁基体1と半導体集積回路素子6との間で水平方向の層として垂直方向に積み重ねられている場合には、内部電極層と接続用の端子電極との接続は、誘電体層を貫通して形成された貫通導体等により行なわれる。また、誘電体層および内部電極層が絶縁基体1と半導体集積回路素子6との間で垂直方向の層として水平方向に積層されている場合には、コンデンサ4の上面となる積層断面に導出された内部電極層に接続されるように接続用の端子電極が形成されることとなる。

【0028】このようにコンデンサ4を半導体集積回路素子6への電気的接続のためにその電源電極に対応させた多数の端子電極を有する場合は、一般的に使用されるチップコンデンサのように両端面のそれぞれ1つずつの端子電極のみから電源および接地を接続する場合に比べて、端子電極1つ当たりに流れる電流が少なくなり、また電流の流れる距離が短くなることとなるため、コンデンサ4全体として、その抵抗やインダクタンスによる電源供給への影響を小さくすることができる。

【0029】なお、コンデンサ4は単体のものに限らず、絶縁基体1の凹部1a内に収容搭載され、導体バンプ7等を介して半導体集積回路素子6に電源を供給するデカップリングコンデンサとして使用できるものであれば、複数のコンデンサを収容搭載してそれらによりデカップリングコンデンサとして機能させるようにしたものであってもよい。

【0030】このようなコンデンサ4は、絶縁基体1のコンデンサ搭載部である凹部1aに収容され、その一方の端子電極と電源供給端子3とが導体バンプ5あるいは導体層5'により電気的に接続されている。

【0031】また、絶縁基体1には凹部1aの開口を覆うようにして半導体集積回路素子6が取着され、その電源電極が凹部1a内のコンデンサ4の他方の端子電極に電気的に接続されており、信号電極および接地電極は凹部1aの開口周辺において信号伝送用あるいは接地用の配線導体2と電気的に接続されている。

【0032】そして、絶縁基体1上の凹部1aの開口周辺には半導体集積回路素子6が開口を覆うようにして搭載固定されるとともに、コンデンサ4の他方の端子電極と半導体集積回路素子6の電源電極とが半田等から成る導体バンプ7により電気的に接続され、半導体集積回路素子6の外周部に位置する信号電極と絶縁基体1の凹部1aの開口周辺に形成された配線導体2とが同じく半田等から成る導体バンプ7により電気的に接続されている。また、半導体集積回路素子6と絶縁基板1とは、必要に応じて半田またはエポキシ樹脂等の接着剤により接着固定してもよい。

【0033】このようにして本発明の半導体装置8・8'が完成することになるが、さらに、絶縁基体1の上面には、半導体集積回路素子6およびその周辺の絶縁基体1の上面を被覆するようにして樹脂製被覆材を被着してもよく、あるいは半導体集積回路素子6を覆うようにして絶縁基体1の上面に蓋体を接合してもよい。

【0034】そして、このようにして完成された本発明の半導体装置8・8'は、絶縁基体1の下面に導出した配線導体2と外部電気回路基板9の接続用導体10とを導電性接続部材11を介して接続することによって、外部電気回路基板9上に実装されるのと同時に半導体集積回路素子6の各信号電極および接地電極が導体バンプ7・配線導体2および導電性接続部材11を介して外部電気回路に接続されることになる。

【0035】このような本発明の半導体装置8・8'によれば、絶縁基体1の凹部1a内に収容されたデカップリングコンデンサとしてのコンデンサ4に、凹部1aを覆うように半導体集積回路素子6を取着して搭載実装し、導体バンプ7等を介して半導体集積回路素子6の電源電極を電気的に接続したことから、従来は半導体集積回路素子の近傍の外周部等に配置されていたデカップリングコンデンサを半導体集積回路素子6の直近に極めて

近接して配置させることができ、半導体集積回路素子6の電源電極とコンデンサ4の端子電極との距離を最短に設定することができるため、両者の接続部の抵抗やインダクタンスを最小にすることができる。その結果、高速で動作する半導体集積回路素子6を安定して動作させるための素子への電源供給および電源ノイズ抑制を極めて効果的に安定して行なうことができる。

【0036】なお、本発明は以上の実施の形態の例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の改良・変更を施すことは何ら差し支えない。例えば、上記の半導体装置8・8'に搭載されるデカップリングコンデンサとしてのコンデンサ4は、図1および図2に示したように1つの容量素子で形成してもよいし、複数のコンデンサを搭載してもよい。

#### 【0037】

【発明の効果】以上詳述した通り、本発明の半導体装置によれば、上面にコンデンサを収容する凹部を有し、この凹部の開口周辺に配線導体が形成されるとともに前記凹部の底面に電源供給端子が形成された絶縁基体と、前記凹部内に収容され、前記電源供給端子に一方の端子電極が電気的に接続されたコンデンサと、前記絶縁基体上に前記凹部の開口を覆うように取着され、電源電極が前記配線導体にそれぞれ電気的に接続された半導体集積回路素子

とを具備するものとしたことから、従来は半導体集積回路素子の近傍の外周部等に配置されていたデカップリングコンデンサを半導体集積回路素子の直近に極めて近接して配置させることができ、半導体集積回路素子の電源電極とデカップリングコンデンサの端子電極との距離を最短に設定することができるため、両者の接続部の抵抗やインダクタンスを最小にすることができる。その結果、高速で動作する半導体集積回路素子を安定して動作させるための素子への電源供給および電源ノイズ抑制を極めて効果的に安定して行なうことができる。

#### 【図面の簡単な説明】

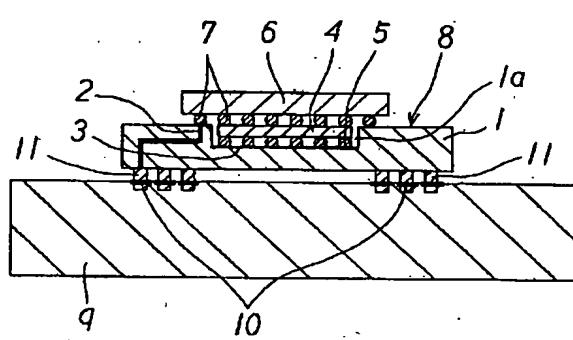
【図1】本発明の半導体装置の実施の形態の一例を示す断面図である。

【図2】本発明の半導体装置の実施の形態の他の例を示す断面図である。

#### 【符号の説明】

- 1 . . . . . 絶縁基体
- 1a . . . . . 凹部
- 2 . . . . . 配線導体
- 3 . . . . . 電源供給端子
- 4 . . . . . コンデンサ
- 6 . . . . . 半導体集積回路素子
- 8, 8' . . . 半導体装置

【図1】



【図2】

